

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-063685

(43)Date of publication of application : 26.05.1977

---

(51)Int.Cl.

H01L 29/78  
H01L 21/72  
H01L 21/302

---

(21)Application number : 50-139846

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 20.11.1975

(72)Inventor : YONEDA TADANAKA

---

## (54) PRODUCTION OF SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To increase the dielectric strength between drain and substrate by removing the insulating film on a semiconductor substrate with the photo sensitive resin selectively formed thereon as a mask and covering the surroundings of the exposed surface of the exposed substrate with a photo sensitive resin, then diffusing an impurity.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特 許 願 ( 3 )

昭和 50 年 11 月 20 日

特許庁長官殿

1 発 明 の 名 称

半導体装置の製造方法

2 発 明 者

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
氏 名 菜 田 憲 夫

3 特 許 出 願 人

住 所 大阪府門真市大字門真1006番地  
名 称 (582) 松下電器産業株式会社  
代 表 者 松 下 正 治

4 代 理 人

住 所 〒 571 大阪府門真市大字門真1006番地  
松 下 電 器 産 業 株 式 有 限 公 司  
氏 名 (5971) 弁理士 中 尾 敏 男  
(ほか1名)  
(連絡先 電話06-453-3111 特許分室)

5 添付書類の目録

- |             |     |
|-------------|-----|
| (1) 明 細 書   | 1 通 |
| (2) 図 面     | 1 通 |
| (3) 委 任 状   | 1 通 |
| (4) 願 書 副 本 | 1 通 |

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

一導電形の半導体基板の一主面上の絶縁物膜を、前記絶縁物膜上に選択的に形成された感光性樹脂をマスクとして除去し、前記半導体基板を露出させる工程と、前記半導体基板の露出面周辺部を前記感光性樹脂膜で被覆する工程と、前記半導体基板の露出面より、不純物を導入する工程とを備えたことを特徴とする半導体装置の製造方法。

3、発明の詳細な説明

本発明は半導体装置の製造方法、特にMOS構造を有する半導体装置の製造方法に関する。

一般に、高密度LSIを製造する際に、微小パターンを形成するために、選択酸化方法を用いて表面を平坦化する方法が用いられている。酸化膜( $\text{Si}_3\text{N}_4$ )を用いて選択酸化を行う従来の方法の製造工程を第1図A～Fに示す。

まず、P形シリコン(以下S1と記す)基板1の

①特開昭 52-63685

④公開日 昭52.(1977). 5.26

②特願昭 50-13846

②出願日 昭50.(1975) 11.20

審査請求 未請求 (全4頁)

庁内整理番号

6426 f7

6413 f7

7113 f7

⑤2日本分類

PPHES  
PPHGO  
PPHGO

⑤1 Int.Cl<sup>2</sup>

H01L 21/78  
H01L 21/72  
H01L 21/302

識別  
記号

表面上に厚さ約0.1  $\mu\text{m}$  の酸化膜 ( $\text{SiO}_2$ ) 2 および  $\text{Si}_3\text{N}_4$  膜 3 を形成する(同図A)。次に  $\text{Si}_3\text{N}_4$  膜上に熱処理されたホトレジスト膜 4 をマスクとして、ホトエッチ技術により、厚い  $\text{SiO}_2$  膜 2 を除去し、露出した  $\text{SiO}_2$  膜 2、 $\text{Si}_3\text{N}_4$  膜 3 を除去し、窓 5 を形成する(同図B)。そして、 $\text{CF}_4$  を用いたプラズマエッチあるいは  $\text{HNO}_3$ 、 $\text{NF}_3$  を含んだ液を用いて窓 5 の  $\text{Si}$  基板 1 表面を除去し、 $\text{Si}$  表面からの深さ約0.4  $\mu\text{m}$  のエッチング溝 6 を形成する(同図C)。

$\text{SiH}_4$ 、 $\text{B}_2\text{H}_6$  の熱分解法により、厚さ約0.2  $\mu\text{m}$  のボロンドープドオキシサイド膜 7 を  $\text{Si}$  基板表面より形成し、900℃～1100℃で10分～30分熱処理することによりエッチング溝 6 の表面からの深さ約0.3  $\mu\text{m}$  のP形領域 8 を形成する(同図D)。その後、ボロンドープドオキシサイド膜 7 を除去し、1100℃～1200℃の硫酸系ガス雰囲気中で加熱する。そうすると、 $\text{Si}_3\text{N}_4$  膜 3 下は新たな酸化膜が形成されないが、エッチング溝 6 の表面は  $\text{Si}$  基板 1 が露出しているため酸化され、エッチング溝 6

領域のみ厚さが $0.8\mu\text{m}$ のシリコン酸化物のフィールドオキサイド膜9が形成される。シリコンが酸化膜に変化することにより体積が約2倍に膨張するため、エッチング溝8をフィールドオキサイド膜9で埋めるようになり、フィールドオキサイド膜9表面とSi基板1とは平坦になる。ところがエッチング溝8の側面からの酸化の進行により、フィールドオキサイド膜9の周辺はSi基板1よりも約 $0.3\mu\text{m}$ 盛り上った $\text{SiO}_2$ 膜10が形成される。また、 $\text{p}^+$ 形領域B中のボロンはさらにSi基板1内に深く拡散され、厚さ約 $3\mu\text{m}$ の $\text{p}^+$ 形チャンネルストッパー領域11が形成される(同図E)そして最後に、 $\text{Si}_3\text{N}_4$ 膜3を除去し、ゲート酸化膜12、ゲート電極となる多結晶Si膜13、 $\text{n}^+$ 形ソース領域14、ドレイン領域15、CVD $\text{SiO}_2$ 膜16、外部電極としてのアルミニウム(Al)配線17を形成してMOSLSIの製造を完了する(同図F)。

このような従来用いられている製造方法では $\text{p}^+$ 形のドレイン領域15と $\text{p}^+$ 形のチャンネルストッ

パー領域11とがあまり合うため、ドレイン、基板間の逆方向耐圧は低くなるし、チャンネルストッパー11のボロン濃度を下げて逆方向耐圧を上げるとフィールドオキサイド膜9の閾値電圧( $V_T$ )が低くなり、寄生MOS効果が生じる。

また、 $\text{SiO}_2$ 膜10がSi基板1よりも盛り上っているため、フィールドオキサイド領域の表面が完全に平坦化できないので高密度のLSIの製造は困難であった。

本発明は従来の問題点をなくするように考え出されたもので、その骨子とするところは、半導体基板上の絶縁膜を、該絶縁膜上に選択的に形成された感光性樹脂をマスクとして除去することにより、前記半導体基板を露出させ、その後前記半導体基板の露出面周辺を、前記感光性樹脂で覆い、その後前記半導体基板の露出面より不純物を導入し、その後前記半導体基板の前記不純物が導入された領域を絶縁物化するところとあり、その目的とするところは、ドレイン基板間の耐圧を高くすることができる半導体装置の製造方法の提供にあ

る。

以下図面とともに本発明を実施例に基づいて説明する。

本発明の半導体装置の製造方法の一実施例の工程断面図を第2図A~Gに示す。

まず、半導体基板としての $\text{p}$ 形 $0.6\sim 2\Omega\text{-cm}$  Si基板20の一主面上に熱分解法により厚さ約 $0.05\mu\text{m}$ の $\text{Si}_3\text{N}_4$ 膜21を形成し、Si基板20の他の主面に熱拡散法によりシート抵抗 $20\sim 50\Omega/\square$ の $\text{p}^+$ 形領域22を形成する(同図A)。

次に、回転塗布により感光性樹脂(例えば商品名AZ1360)を塗布し、厚さ $2.0\mu\text{m}$ のホトレジスト膜23を形成した後、ホットエッチ技術により、フィールドオキサイド膜形成領域のホトレジスト膜23、 $\text{Si}_3\text{N}_4$ 膜21を除去し、フィールドオキサイド形成用窓24を形成する(同図B)。

次に、 $160\sim 180^\circ\text{C}$ で約30分間加熱するとホトレジスト膜23が軟化し、フィールドオキサイド形成用窓24の周辺約 $1\mu\text{m}$ がホトレジスト膜23で覆われ、フィールドオキサイド形成用窓24

よりもSi基板20の露出面積が小さなイオン注入用窓25が形成される(同図C)。

その後約 $100\text{KeV}$ 、 $1\times 10^{14}\sim 1\times 10^{15}\text{ ions/cm}^2$ のボロンイオンを注入する。そうすると、Si基板20が露出しているイオン注入用窓25の表面から約 $0.6\mu\text{m}$ 深さまでボロンがイオン注入され、 $\text{p}^+$ 形領域26が形成される。他の領域はホトレジスト膜23によりボロンイオンがマスクされる(同図D)。

次にホトレジスト膜23を除去した後、 $\text{p}^+$ 形領域22にオーミックコンタクト電極を形成して、フッ素酸水溶液中でSi基板20を正電位にすると、Si面露出領域である $\text{p}^+$ 形領域26には多孔質領域27、28が形成される。多孔質化する場合、ボロンをイオン注入した $\text{p}^+$ 形領域26の多孔質化速度が速く、厚さ約 $0.6\mu\text{m}$ の多孔質膜27が形成されるが $0.6\sim 2\Omega\text{-cm}$ のSi基板20にある領域は約 $0.2\mu\text{m}$ の多孔質膜28が形成される。また、 $\text{Si}_3\text{N}_4$ 膜21直下は多孔質化されない(同図E)。

その後、 $800^\circ\text{C}\sim 1000^\circ\text{C}$ で酸化雰囲気中で加

熱すると、多孔質領域27、28は $\text{SiO}_2$ 膜29に変化する。上記多孔質形成条件を適切に選ぶことにより多孔質膜を酸化しても体積膨張は生じない。そのため $\text{SiO}_2$ 膜29と $\text{Si}$ 基板20表面間に凹凸は生じない。また、前記多孔質領域27は大量のボロンを含んでいるので、酸化の際 $\text{Si}$ 基板20の内側にボロンが拡散し、厚さ $0.3\mu\text{m}$ の $p^+$ 形チャンネルストッパー領域30が形成される。そして、多孔質領域27の酸化であるためそれ極高温を必要とせず、従ってボロン拡散も抑えられる(図面F)。

次に $\text{Si}_3\text{N}_4$ 膜21を除去し、ゲート酸化膜31、ゲート電極としての多結晶 $\text{Si}$ 膜32、ソース領域33、ドレイン領域34、 $\text{CVDSiO}_2$ 膜35、外部電極としての $\text{Al}$ 配線36を形成する(図面G)。

ここで以上述べた本実施例において、多孔質化の速度は $p$ 形領域26の不純物濃度に大きく依存するため、上記工程において、フィールドオキサイド膜29の厚さは $p$ 形領域26の表面からの深さ、即ちボロンイオン注入のエネルギーによって

決まる。したがって、均一なフィールドオキサイド膜が得られる。また、チャンネルストッパー領域30の不純物濃度および厚さはボロンイオン注入量および酸化条件で決まる。例えば多孔質膜を乾燥酸素雰囲気中で酸化すればチャンネルストッパー領域30の不純物濃度が高く、拡散深さも深い。湿酸素中雰囲気中で酸化すれば、不純物濃度が低く、拡散深さも浅い。

また、フィールドオキサイド形成用窓24よりも小さな面積のイオン注入用窓26を通して $p^+$ 形領域26が形成されるので、多孔質膜27、28を酸化する際ボロンの拡散によって形成されたチャンネルストッパー領域30はフィールドオキサイド形成用窓24よりも大きくなり、多孔質膜27と周辺のみ形成されるので、 $\text{MOSLSI}$ を製造した場合 $n^+$ 形ドレイン領域34と $p$ 形チャンネルストッパー領域30と重なり合うことはない。

さらに、寄生容量を小さくする場合は $\text{SiO}_2$ 膜29を厚くする。即ちボロンイオンの注入エネルギーを大きくすれば良く、寄生 $\text{MOS}$ の閾値電圧

( $V_T$ 値)を大きくする場合は、ボロンイオンの注入量を上げ、多孔質膜の酸化雰囲気を乾燥酸素中で行えば良い。しかも、多孔質膜を酸化するためフィールドオキサイド領域と半導体基板との表面が平坦化されて、微細パターンの形成が容易となり、高密度 $\text{LSI}$ の製造が容易となる。

以上説明してきたように本発明の半導体装置の製造方法は、チャンネルストッパー領域を、半導体基板の露出面周辺部を覆う感光性樹脂により決めるため、フィールドオキサイド領域のチャンネルストッパー領域と、ドレイン領域とが重なり合うことはなく、従ってドレイン、基板間の耐圧を高くすることができ、また寄生 $\text{MOS}$ の閾値電圧( $V_T$ 値)を変えられることができるので信頼性の高い半導体装置を得ることができ、効果の大なるものである。

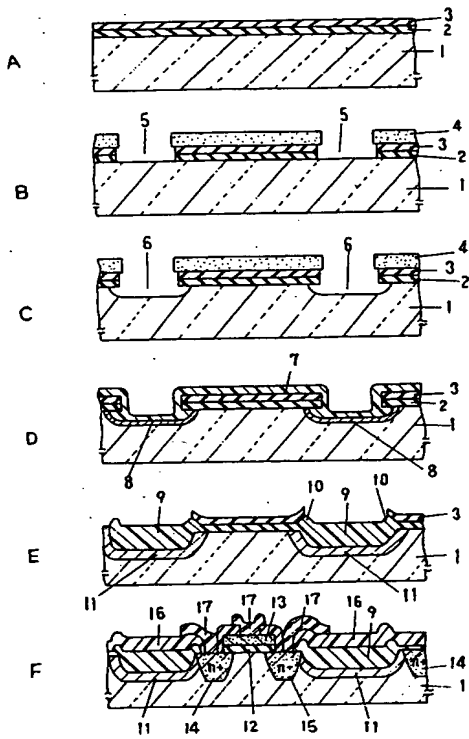
#### 4. 図面の簡単な説明

第1図A～Fは従来の半導体装置の製造方法を示す工程断面図、第2図A～Gは本発明の半導体装置の製造方法を示す工程断面図である。

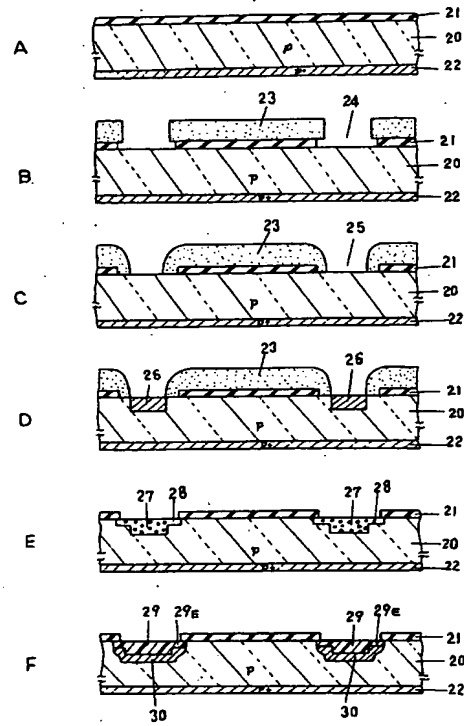
20……シリコン基板、21…… $\text{Si}_3\text{N}_4$ 膜、23……感光性樹脂、26……イオン注入によって形成された $p^+$ 形領域、27、28……多孔質膜、29……多孔質膜を酸化して形成した $\text{SiO}_2$ 膜、30…… $p^+$ 形チャンネルストッパー領域。

代理人の氏名 弁護士 中 尾 敏 男 はか1名

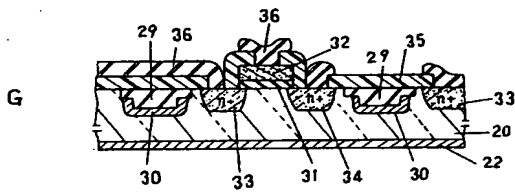
第 1 図



第 2 図



第 2 図



6 前記以外の代理人

住 所 大阪府門真市大字門真1006番地  
松下電器産業株式会社内  
に 寓 (6152) 弁理士 栗 野 重 孝